

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293320

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G02F 1/136

(21)Application number : 09-104518

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.04.1997

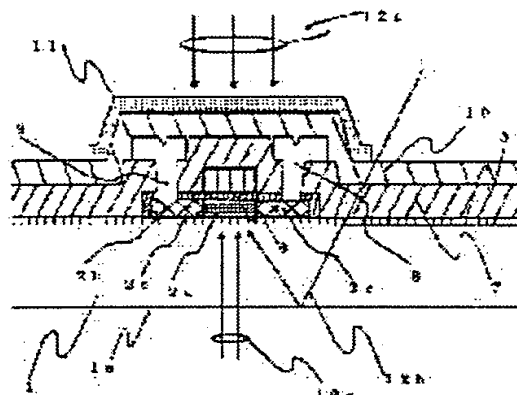
(72)Inventor : HIRABAYASHI YUKIYA

**(54) SOI SUBSTRATE, MANUFACTURE THEREOF, AND SEMICONDUCTOR DEVICE AND LIQUID CRYSTAL PANEL USING THE SUBSTRATE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To prevent the occurrence of a light leak due to direct incident light from a substrate reverse side, or the ingress of reflected light into a transistor element forming zone by forming a shading layer between a transparent support substrate and a semiconductor thin film layer formed thereon.

**SOLUTION:** A silicon-on insulator(SOI) substrate is formed to have a shading layer 4 for a transistor element on a transparent support substrate 1, and to have a monocrystal silicon layer 2 formed thereon via an insulation layer 5 and an oxide film 3 stacked on top of each other. The shading layer 4 is patterned so as to cover a MOSFET channel zone to form a fabricated device, and does not exist at other than the MOSFET channel zone. Thus, the substrate so formed is used for transmission type liquid crystal display device or the like requiring the transmission of light through a substrate.

Also, metal having a high fusion point or the silicon compound thereof is applied as the material of the shading layer 4, thereby providing a characteristic stable enough for a thermal process indispensable to the manufacture of MOSFET, such as impurity dispersion in a monocrystal silicon layer.

**LEGAL STATUS**

[Date of request for examination] 25.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

# 引用例

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293320

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.<sup>6</sup>

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号

特願平9-104518

(22) 出願日

平成9年(1997)4月22日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 平林 幸哉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

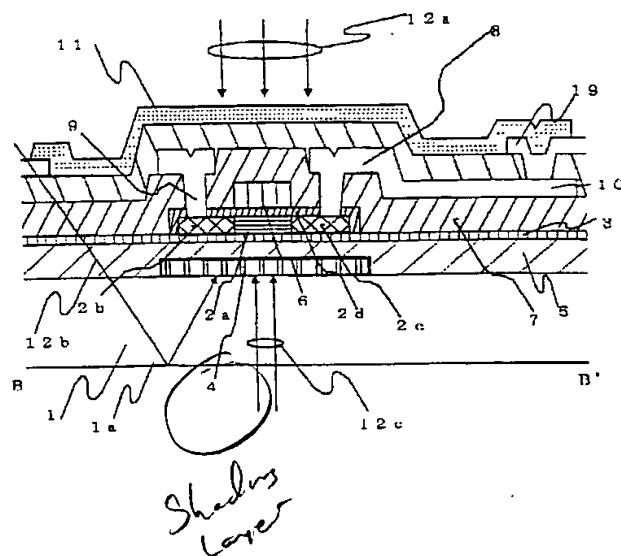
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 S O I 基板とその製造方法及びこれを用いた半導体装置及び液晶パネル

(57) 【要約】

【課題】 従来、透明基板を用いた貼り合わせ S O I 基板では、基板裏面から光が入射すると、基板上に形成した半導体デバイスに光によるリーク電流が発生し、デバイス特性が劣化し、動作不良の原因となっていた。

【解決手段】 このため S O I 基板の透明支持基板 1 と単結晶シリコン層 2 の間に遮光層 4 を形成することにより、基板裏面からの光入射を遮る構造とした。遮光層 4 は、貼り合わせ法 S O I 作製プロセスにおいて単結晶シリコン層を支持基板と貼り合わせる前に支持基板側にあらかじめ形成しておく。



## 【特許請求の範囲】

【請求項1】透明な支持基板と、前記支持基板の一方の表面に形成された遮光層と、前記遮光層の上に設けられた絶縁体層と、前記絶縁体層の上に形成された単結晶シリコン層とを備えることを特徴とするSOI基板。

【請求項2】支持基板上に形成された遮光層が、前記遮光層上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子形成領域を覆うべくパターンニングされ、配置されたことを特徴とする請求項1記載のSOI基板。

【請求項3】支持基板上に形成された遮光層が、高融点金属もしくはその珪素化合物からなることを特徴とする請求項1または2に記載のSOI基板。

【請求項4】透明な支持基板の一方の表面に遮光層を形成する工程と、前記遮光層を、この上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子領域を覆うべくパターンニングする工程と、前記パターンニングされた遮光層と前記支持基板の上に絶縁体層を形成する工程と、前記絶縁体層表面を平坦化する工程と、この平坦化された絶縁体層表面に単結晶シリコン層を貼り合わせる工程とを含むことを特徴とするSOI基板の製造方法。

【請求項5】透明な支持基板の一方の表面に遮光層が形成され、前記遮光層は、この上に設けられた絶縁体層を介して形成されたトランジスタ素子領域を覆うべく配置されていることを特徴とする半導体装置。

【請求項6】前記請求項1～3記載のSOI基板と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、上記SOI基板と上記透明基板との間隙内に液晶が封入されていることを特徴とする液晶パネル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はSOI (Silicon on Insulator) 基板、特に透明支持基板を用いたSOI基板とその製造方法、並びにそのSOI基板を用いた液晶パネル及び電子機器に関する。

## 【0002】

【従来の技術】絶縁基体上にシリコン薄膜を形成し、そのシリコン薄膜に半導体デバイスを形成するSOI技術は、素子の高速化や低消費電力化、高集積化等の利点を有することから広く研究されている。

【0003】このSOI技術の1つとして、単結晶シリコン基板の貼り合わせによるSOI基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板を水素結合力を利用して貼り合わせた後、熱処理によって貼り合わせ強度の強化がなされ、次いで単結晶シリコン基板の研削や研磨、またはエッチングによって薄膜の単結晶シリコン層を支持基板上に形成するものである。この手法では、直接単結晶のシ

リコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

【0004】また、この貼り合わせ法を応用したものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法 (US Patent 5374564) や、表面を多孔質化したシリコン基板上に単結晶シリコン層をエピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法 (特開平4-346418) などが知られている。このような貼り合わせ法によるSOI基板は通常のバルク半導体基板と同様に、さまざまなデバイスの作製に用いられているが、従来のバルク基板と異なる特徴として、支持基板に様々な材料を使用することが可能な点を挙げることができる。すなわち支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどにも結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

## 【0005】

【発明が解決しようとする課題】このように透明支持基板と単結晶シリコン薄膜を貼り合わせたSOI基板においては、単結晶シリコン層はMOSFET (Metal Oxide Semiconductor Field Effect Transistor) などのトランジスタ素子のチャネルやソース、ドレイン領域として用いられる。このとき基板が透明であると、基板裏面から光が照射された際に、このMOSFETのチャネル領域に光照射によるリーク電流が発生し、デバイスの特性が劣化する。(なおここでは単結晶シリコン層の形成された面を基板の表面とし、反対側を裏面としている。) この点について図を用いながら具体的に説明する。図2は従来製造されている透明基板を用いた貼り合わせSOI基板の断面図である。このSOI基板では、単結晶シリコン層2は酸化膜層3を介して支持基板1と貼り合わされた構造となっている。ここで述べた酸化膜層3は一般に光を透過する性質を持つため、支持基板に石英やガラスなどの透明材料を用いた従来のSOI基板では、単結晶シリコン層2の下層には遮光性を有する層が一切設けられていないことになる。

【0006】図3は、図2で示した従来のSOI基板を用いて作製したMOSFETの断面図である。支持基板1の上には酸化膜層3があり、さらに単結晶シリコン層をパターンニングして形成したMOSFETのソース領域2b、チャネル領域2a、およびドレイン領域2cがあ

り、この単結晶シリコン領域はこれを表面酸化して形成したゲート絶縁膜2dで覆われている。ゲート絶縁膜2d上にはゲート電極6があり、MOSFETの単結晶シリコン領域とゲート電極6は第1の層間膜7によって覆われている。さらにソース線9とドレイン線8が第1の層間膜7の開口部を介してそれぞれソース領域2b、ドレイン領域2cに接続している。この上に更に第2の層間膜10が形成され、上部遮光層11が第2の層間膜10上に形成されている。上部遮光層11は黒色ポリイミド樹脂などの不透明絶縁性の材料あるいはアルミニウムなどの金属薄膜などで形成されている。基板表面側から光12aが直接入射する場合には、基板上に設けられたMOSFETのチャネル領域2aを上部遮光層11によって、光12aによる光リークを抑えることができる。しかしMOSFETのチャネル領域2aに基板裏面から12cで示す光が直接入射するような場合には、光リークを防ぐことができない。また基板の裏側界面1aで反射する12bのような光があった場合、それが基板表面から入射したものであっても、その一部がMOSFETのチャネル領域2aに到達し光リークを引き起こすことになる。

【0007】すなわち図2に示した従来構造のSOI基板では、支持基板1と単結晶シリコン層2との間に遮光層が設けられていないために、このSOI基板を用いて単結晶シリコン薄膜によるMOSFETを形成した場合、MOSFETチャネル領域2aを、基板裏面からの直接的な入射光12cや、基板裏面での反射光12bから遮ることができなかつた。このため、前記従来構造のSOI基板で作製したMOSFETでは光リークが発生し、素子の特性が劣化するという根本的な問題点があった。またこれによって光を用いるデバイスに対して透明なSOI基板を用いることが難しく、汎用性が低いという問題があった。

【0008】本発明の目的は、透明な支持基板を用いても光リークの問題の生じない半導体デバイスを作製できるSOI基板と、その製造方法を提供することにある。また本発明の別の目的は、透明基板を用いた光リークのないSOI基板を用いた高性能な半導体デバイスを提供することにある。

【0009】

【課題を解決するための手段】本発明のSOI基板は、上記の目的を達成するため、透明な支持基板と、その上に形成される単結晶シリコン層との間に、光リークを防ぐための埋め込み型の遮光層を設けたものである。この遮光層は、支持基板の一方の表面上に形成されており、単結晶シリコン層はこの遮光層上に堆積した絶縁層の上に形成される。遮光層は、作製しようとするデバイスを構成するMOSFETのチャネル領域を覆うようにパターンニングされており、上記MOSFETのチャネル領域以外の部分に遮光層は存在しない。このため例えば透過

型液晶表示デバイスなど基板が光を透過する必要のある用途に用いることが可能である。また、この遮光層の材料として高融点金属もしくはそれらの珪素化合物（シリサイド）を用いることにより、単結晶シリコン層への不純物拡散などのMOSFET製造に不可欠な熱プロセスに対して十分安定な特性をもつSOI基板を作製することができる。

【0010】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基いて説明する。

【0011】（実施例1）図1は本発明を適用したSOI基板の第1の実施例を示す断面図である。また図4及び図5は本発明第1の実施例におけるSOI基板の作成方法を示す図である。図1に示すように本発明によるSOI基板は、透明な支持基板1上にトランジスタ素子の遮光層4が設けられ、これらの上に堆積した絶縁層5と酸化膜層3を介して単結晶シリコン層2が形成されたものである。このSOI基板の製造プロセスを図4を用いて説明する。まず図4（a）のように透明な支持基板1に、遮光層4を全面にわたり形成する。本実施例においては支持基板として厚さ1.1mmの石英を用いた。遮光層4は、モリブデンをスパッタ法により100～1000nm程度の厚さに堆積することにより得る。本実施例においてはモリブデンを400nmの厚さに堆積した。なお、この遮光層4の材料は本実施例に限定されるものではなく、作製するデバイスの熱プロセス最高温度に対して安定な材料であればどのような材料を用いても問題はない。例えば他にもタングステン、タンタルなどの高融点金属や多結晶シリコン、さらにはタングステンシリサイド、モリブデンシリサイド等のシリサイドが好ましい材料として用いられ、形成法もスパッタ法、CVD法、電子ビーム加熱蒸着法などを用いることができる。次に図4（b）のごとく形成した遮光層4を、その上に形成するMOSFETのチャネル領域を覆うように残して除去するために、フォトレジストパターン13を形成する。次に図4（c）のように形成したフォトレジストパターン13をマスクとして遮光層4のエッチングを行い、トランジスタ形成領域以外の遮光層をドライエッチングにて除去する。エッチングの後フォトレジストパターン13は剥離する。次に図4（d）のように遮光層4とその上に形成される単結晶シリコン層との間の絶縁を確保するために、絶縁層5を堆積する。この絶縁層はシリコン酸化膜を用いた。このシリコン酸化膜は、例えばスパッタ法、あるいはTEOS（テトラエチルオルソシリケート）を用いたプラズマCVD法により形成できる。絶縁層5は、遮光層4の被覆段差を研磨によって平坦化しても遮光層4上に単結晶シリコン層2との十分な絶縁性を確保できる膜厚とする。具体的には絶縁層5は、遮光層4の膜厚に対して500～1000nm程度多く堆積するのがよい。本実施例においては遮光層4

の膜厚400nmに対し、シリコン酸化膜をTEOSのプラズマCVDにより1000nm堆積させた。こうして得られた遮光層付きの支持基板は、基板表面が遮光層4の有無に応じて凹凸になっているため、このまま単結晶シリコン基板と貼り合わせを行うと凹凸の段差部分にボイド(空隙)が形成され、貼り合わせた際に接合強度の不均一が生じる。このため図5(e)に示すように遮光層4を形成した支持基板の表面をグローバルに研磨して平坦化する。研磨による平坦化の手法としては、CMP(化学的機械研磨)法を用いた。CMPにおいては、遮光層4上での絶縁層5の研磨量を遮光層4の膜厚よりも200~700nm程度多めに設定するのがよい。この条件でCMP処理を行うことにより遮光層パターン端部の段差を3nm以下まで小さくすることができるため、単結晶シリコン基板貼り合わせの際にも基板全面で均一な貼り合わせ強度が得られる。次に図5(f)に示すように遮光層を形成した支持基板と単結晶シリコン基板20の貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板20は、厚さ300 $\mu$ mであり、その表面をあらかじめ0.05~0.8 $\mu$ m程度酸化して酸化膜層3を形成しておく。これは貼り合わせ後に形成される単結晶シリコン層2と酸化膜層3の界面を熱酸化で形成し、電気特性の良い界面を確保するためである。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。貼り合わせ強度をさらに高めるためには、さらに熱処理温度を上げて450℃程度にする必要があるが、石英基板と単結晶シリコン基板の熱膨張係数には大きな違いがあるため、このまま加熱すると単結晶シリコン層にクラックなどの欠陥が発生し、基板品質が劣化してしまう。このようなクラックなどの欠陥の発生を抑制するためには、一度300℃にて貼り合わせのための熱処理を行った単結晶シリコン基板をウェットエッチングまたはCMPによって100~150 $\mu$ m程度まで薄くした後に、さらに高温の熱処理を行うことが望ましい。本実施例においては80℃のKOH水溶液を用い、単結晶シリコン基板の厚さが150 $\mu$ mとなるようエッチングを行った。この後、貼り合わせた基板を450℃にて再び熱処理し、貼り合わせ強度を高めている。さらに図5(g)に示すように、この貼り合わせ基板を研磨して、単結晶シリコン層2の厚さを3~5 $\mu$ mとした。

【0012】このようにして薄膜化した貼り合わせ基板は、最後にPACE(Plasma Assisted Chemical Etching)法によってシリコン層2の膜厚を0.05~0.8 $\mu$ m程度までエッチングして仕上げる。このPACE処理によって単結晶シリコン層2は、例えば膜厚100nmに対しその均一性は10%以内のものが得られた。以上の工程により遮光層を有するSOI基板が作製できた。

【0013】(実施例2)図6及び7は本発明の第2の

実施例を示す図である。図4及び5と同一の符号がついている箇所は、同一の工程で形成される層、あるいは部材を示す。この実施例においては、図5(e)で示すパターンニングされた遮光層付きの支持基板表面を平坦化する工程までは、前述の第1の実施例と全く同一である。図6(a)は、貼り合わせに用いる単結晶シリコン基板である。この単結晶シリコン基板20は、厚さ600 $\mu$ mであり、その表面をあらかじめ0.05~0.8 $\mu$ m程度酸化し、酸化膜層3を形成したものである。次に図6(b)に示すように、単結晶シリコン基板20に水素イオン14を注入する。例えば本実施例においては、水素イオン(H<sup>+</sup>)を加速電圧100keV、ドーズ量1.0E16cm<sup>-2</sup>にて注入した。この処理によって単結晶シリコン基板20中に水素イオンの高濃度層15が形成される。次に図6(c)に示すようにイオン注入した単結晶シリコン基板20を遮光層4と絶縁層5を形成した支持基板1に貼り合わせる。貼り合わせ工程は、例えば300℃で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。さらに図7(d)においては貼り合わせた単結晶シリコン基板20の貼り合わせ面側の酸化膜3(これがSOI基板完成時には埋め込み酸化膜となる)と単結晶シリコン層2を支持基板上に残したまま、単結晶シリコン基板20を支持基板から剥離するための熱処理を行う。この基板の剥離現象は、単結晶シリコン基板中に導入された水素イオンによって、単結晶シリコン基板の表面近傍のある層でシリコンの結合が分断されるために生じるものである。本実施例においては、貼り合わせた2枚の基板を毎分20℃の昇温速度にて600℃まで加熱した。この熱処理によって、貼り合わせた単結晶シリコン基板20が支持基板と分離し、支持基板表面には約400nmのシリコン酸化膜3とその上に約200nmの単結晶シリコン層2が形成された。図7(e)は分離後のSOI基板を示す断面図である。このSOI基板表面は、単結晶シリコン層の表面に数nm程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においてはCMP法を用いて基板表面を微量(研磨量10nm未満)に研磨するタッチポリッシュを用いた。この平坦化の手法としては他にも水素雰囲気中にて熱処理を行う水素アニール法を用いることもできる。以上により作製されたSOI基板は、良好な単結晶シリコン膜厚の均一性を有し、なおかつ作製するデバイスに対して光リークを抑える遮光層を有した構造をもつものである。

【0014】(実施例3)図8及び9は本発明における第3の実施例を示す図である。図4~6と同一の符号がついている箇所は、同一の工程で形成される層、あるいは部材を示す。この実施例においては、図5(e)に示すパターンニングされた遮光層付きの支持基板表面を平坦化する工程までは、前述第1の実施例と全く同一である。図8(a)は、貼り合わせ用の単結晶シリコン層を

形成するためのシリコン基板である。シリコン基板 16 は、厚さ  $600\mu\text{m}$  であり、HF/エタノール液中で陽極酸化することによりその表面を多孔質層 17 にすることができる。この処理によって表面を  $12\mu\text{m}$  程度多孔質化した単結晶シリコン基板 16 に水素雰囲気中で  $1050^\circ\text{C}$  の熱処理を行うことにより、多孔質層 17 の表面を平滑化する。これはこの後にシリコン基板 16 上に形成する単結晶シリコン層の欠陥密度を低減し、その品質を向上させるものである。次に図 8 (b) に示すように、多孔質シリコン層 17 の表面を平滑化したシリコン基板 16 にエピタキシャル成長により単結晶シリコン層 2 を形成する。エピタキシャル成長による単結晶シリコン層 2 の堆積膜厚は、本実施例においては  $500\text{nm}$  としたが、これは本発明の適用範囲を限定するものではない。単結晶シリコン層の膜厚は作製しようとするデバイスに応じて任意に選択することができる。さらに図 8 (c) のように単結晶シリコン層 2 の表面を  $50\sim 400\text{nm}$  程度酸化し、酸化膜層 3 を形成して、これを貼り合わせ後の SOI 基板の埋め込み酸化膜とする。次に図 9 (d) に示すように、単結晶シリコン層 2 および酸化膜層 3 を形成した基板を、遮光層 4 と絶縁層 5 が形成された支持基板 1 に貼り合わせる。貼り合わせ工程は、例えば  $300^\circ\text{C}$  で 2 時間の熱処理によって 2 枚の基板を直接貼り合わせる方法が採用できる。次に図 9 (e) に示すように、貼り合わせ面側の表面酸化膜 3、単結晶シリコン層 2、および多孔質化したシリコン層 17 を残してシリコン基板を研削する。次いで図 9 (f) に示すように多孔質シリコン層 17 をエッチングにより除去し、支持基板上に単結晶シリコン層 2 を得る。この多孔質シリコン層 17 のエッチングは、 $\text{HF}/\text{H}_2\text{O}_2$  という組成のエッチング液を用いると、単結晶シリコン層 2 に対して多孔質シリコン層 17 が高いエッチング選択性を示すため、非常に良好な単結晶シリコンの膜厚均一性を保ちつつ、多孔質シリコンのみを完全に除去することができる。このように多孔質シリコン層 17 を除去した SOI 基板は、単結晶シリコン層 2 の表面に数 nm 程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においては水素雰囲気中にて熱処理を行う水素アニール法を用いた。またこの平坦化の手法としては CMP 法を用いて SOI 基板の単結晶シリコン層 2 の表面を微量 (研磨量  $10\text{nm}$  未満) に研磨するタッチポリッシュを用いることもできる。以上により作製された SOI 基板は、良好な単結晶シリコン膜厚の均一性を有し、なおかつ作製するデバイスに対して光リークを抑える遮光層を有した構造をもつものであった。

【0015】 (実施例 4) 図 10 は、本発明により作製された SOI 基板を用いたデバイスの好適な例として透過型液晶パネルの平面レイアウトを示した図である。なお、この図面は理解を容易にするために説明に不要な箇所は省略しており、モデル的に描いている。

【0016】 図 10 に示すように、透明基板 1 上には表示画素領域 27 があり、画素電極 19 がマトリクス状に配置されている。表示画素領域 27 の周辺には、表示信号を処理する駆動回路が形成されている。ゲート線駆動回路 21 はゲート信号線を順次走査し、データ線駆動回路 22 はソース信号線に画像データに応じた画像信号を供給する。またパッド領域 26 を介して外部から入力される画像データを取り込む入力回路 23 や、これらの回路を制御するタイミング制御回路 24 等の回路が設けられており、これらの回路はすべて画素電極スイッチング用の MOSFET と同一工程または異なる工程で形成される MOSFET を能動素子あるいはスイッチング素子とし、これに抵抗や容量などの負荷素子組み合わせることで構成されている。

【0017】 図 11 に図 10 で述べた液晶パネルの A-A' 線での断面図である。図 8 に示すように液晶パネルは、表示画素と駆動回路を形成した基板 31 と、LC コモン電位が印加される透明導電膜 (ITO) からなる対向電極 33 を有する透明基板 32 が一定間隔をおいて配置され、周辺をシール材 35 で封止された隙間内に周知の TN (Twisted Nematic) 型液晶 34 または電圧無印加状態で液晶分子がほぼ垂直に配向された SH (Super Homeotropic) 型液晶などが充填されて液晶パネル 30 として構成されている。なお、外部から信号を入力できるように、パッド領域 26 は上記シール材 35 の外側に来るようにシール材を設ける位置が設定されている。

【0018】 図 12 は本発明により作製された SOI 基板を用いた透過型液晶パネルの画素部分の拡大平面図である。各画素には画素への電荷書き込みを制御するトランジスタ素子として MOSFET が形成されている。各画素にはチャネル、ソースおよびドレイン領域となる単結晶シリコン層 2 が設けられ MOSFET を成し、その一端子はゲート線 6 に、また、他の一端子はソース線 9 に、残る一端子は表示画素の画素電極 19 へつながるドレイン電極 8 に接続されている。また MOSFET のチャネル領域の遮光、および表示画素間の光漏れを防ぐために上部遮光層 11 を形成している。この液晶パネルの最大の特徴は、各表示画素の制御用 MOSFET および表示信号処理、入力回路、並びにタイミング制御回路を構成する MOSFET の形成領域の下には、すべて SOI 基板作製の際に形成された遮光層 4 が配置される構造となっている点である。

【0019】 これについて図 13 を用いて詳しく説明する。図 13 は図 12 で示した表示画素領域に設けられた MOSFET の B-B' における断面構造を示す図である。MOSFET のチャネル領域 2a と透明な支持基板 1 との間には、チャネル領域 2a を覆うように遮光層 4 が設けられており、基板裏面側からのいかなる入射光も遮ることができる構造となっている。例えば従来の SO

I 構造では遮光できなかった基板裏面からの直接的な入射光 12c や、基板裏面での反射光 12b などに対して本発明の遮光層 4 は有効な遮光性を発揮する。ここでは遮光層の例として表示画素部の MOSFET 構造を示したが、この構造は表示画素エリア周辺に形成された駆動回路を構成する MOSFET にも同様に適用されている。

【0020】遮光層 4 と絶縁層 5 が設けられた支持基板 1 の上には酸化膜層 3 があり、さらに単結晶シリコン層をパターンニングして形成した MOSFET のソース領域 2b、チャネル領域 2a、およびドレイン領域 2c があり、この単結晶シリコン領域はこれを表面酸化して形成したゲート絶縁膜 2d で覆われている。ゲート絶縁膜 5 上にはゲート電極 6 があり、MOSFET の単結晶シリコン領域とゲート電極 6 は第 1 の層間膜 7 によって覆われている。さらにソース線 9 とドレイン線 8 が第 1 の層間膜 7 の開口部を介してそれぞれソース領域 2b、ドレイン領域 2c に接続している。この上に更に第 2 の層間膜 10 が形成され、上部遮光層 11 と画素電極 19 は第 2 の層間膜 10 上に形成されている。なお、画素電極 19 は第 2 の層間膜 10 の開口部を介してドレイン電極 8 と接続されており、上部遮光層 11 は黒色ポリイミド樹脂などの不透明絶縁性の材料で形成され、画素電極間の光漏れを防ぐ構造となっている。

【0021】上記実施例では透過型液晶パネルを例にして説明したが、これは本発明の用途を限定するものではなく、透過型の表示モードを用いる他のディスプレイデバイスや光学的な情報を読みとるイメージ入力デバイスなどさまざまな半導体装置にも適用できることは明らかである。その際においても前記半導体装置を駆動するトランジスタ素子等は前記実施例のごとく SOI 基板に設けられた遮光層上に形成すればよい。

【0022】なお、遮光層のパターンは、その上に形成されるトランジスタの配置によって決定されるため、基板の貼り合わせ工程は、目的とする半導体デバイス作製プロセスの一部として含まれることが望ましい。このように基板製造プロセスとデバイス製造プロセスをつなげることにより、デバイス側のニーズにあった高性能な基板を用いたトータルプロセスを構築することが可能となり、デバイスの高性能化とプロセスコストの低減をも達成することができる。

#### 【0023】

【発明の効果】このように本発明による SOI 基板は、透明な支持基板と、その上に形成される半導体薄膜層との間に遮光層を設けたため、基板裏面からの直接入射光や、基板裏面で反射した光がトランジスタ素子形成領域に侵入して光リークの発生を防ぐことができる。このため本発明の SOI 基板を用いれば光を用いる用途に対してもデバイスを作製することが可能となる。

【図面の簡単な説明】

【図 1】本発明第 1 の実施例における SOI 基板の断面図。

【図 2】従来製造されている貼り合わせ法を用いた SOI 基板の断面図。

【図 3】従来の貼り合わせ法による SOI 基板を用いて作製した MOSFET の遮光手段を示す断面構造図。

【図 4】本発明第 1 の実施例における SOI 基板の製造工程を示す図。

【図 5】本発明第 1 の実施例における SOI 基板の製造工程を示す図。

【図 6】本発明第 2 の実施例における SOI 基板の製造工程を示す図。

【図 7】本発明第 2 の実施例における SOI 基板の製造工程を示す図。

【図 8】本発明第 3 の実施例における SOI 基板の製造工程を示す図。

【図 9】本発明第 3 の実施例における SOI 基板の製造工程を示す図。

【図 10】本発明第 4 の実施例における液晶パネルの平面図。

【図 11】本発明第 4 の実施例における液晶パネルの断面図。

【図 12】本発明第 4 の実施例における液晶パネルの基板上に作製された表示画素部の平面レイアウト図。

【図 13】本発明における第 4 の実施例で液晶パネルの基板上に作製された MOSFET の断面構造図。

#### 【符号の説明】

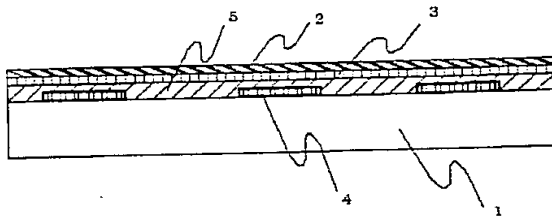
- 1 透明支持基板
- 2 単結晶シリコン薄膜
- 2a MOSFET チャネル領域
- 2b MOSFET ソース領域
- 2c MOSFET ドレイン領域
- 2d MOSFET ゲート酸化膜
- 3 表面酸化による埋め込み酸化膜
- 4 遮光層
- 5 絶縁層
- 6 ゲート電極
- 7 第 1 の層間膜
- 8 ドレイン電極
- 9 ソース電極および信号線
- 10 第 2 の層間膜
- 11 上部遮光層
- 12a 基板表面側からの入射光
- 12b 基板表面から入射し支持基板で反射した光
- 12c 基板裏面からの入射光
- 13 フォトリソマスク
- 14 水素イオンビーム
- 15 シリコン基板中に打ち込まれた水素イオン層
- 16 シリコン基板
- 17 多孔質シリコン層



11

- 19 画素電極
- 20 単結晶シリコン基板
- 21 データ線駆動回路
- 22 ゲート線駆動回路
- 23 入力回路
- 24 タイミング制御回路
- 26 パッド領域

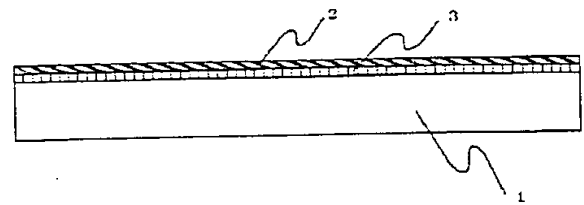
【図1】



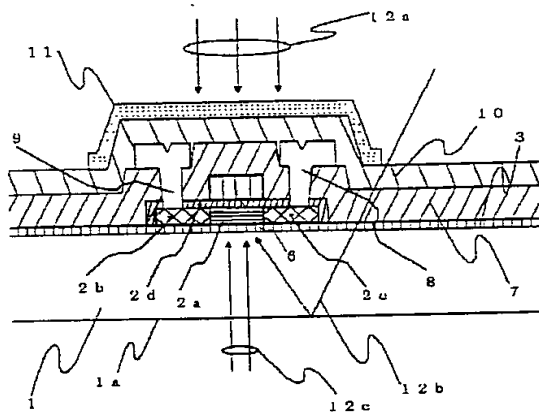
12

- 27 表示画素領域
- 30 液晶パネル
- 31 液晶パネル素子基板
- 32 透明基板
- 33 対向電極
- 34 液晶層
- 35 シール材

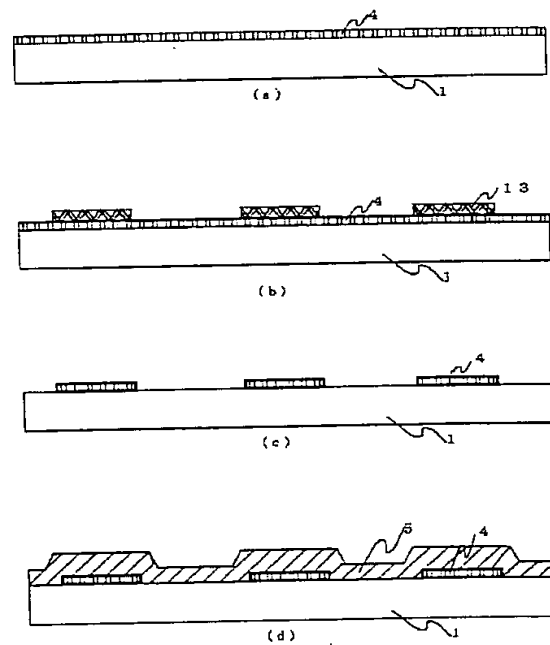
【図2】



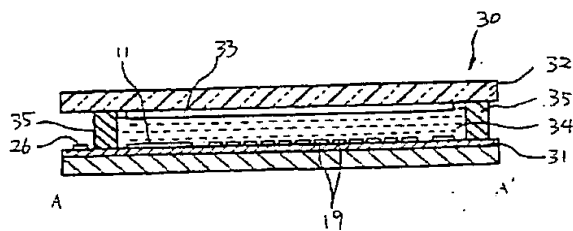
【図3】



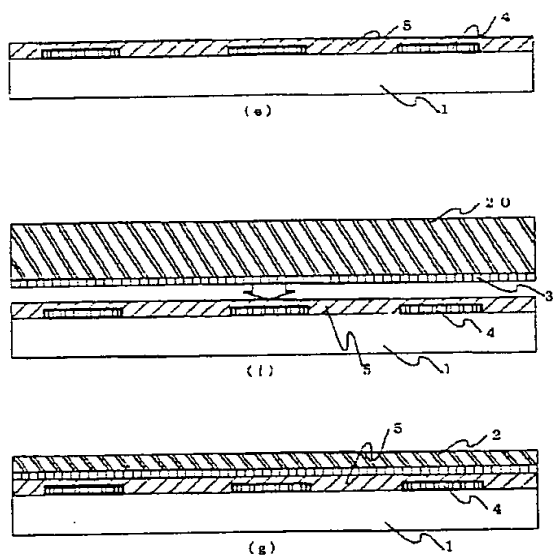
【図4】



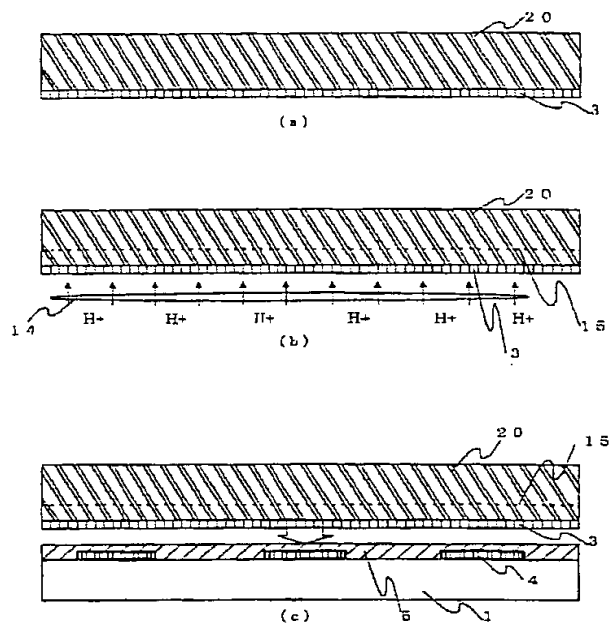
【図11】



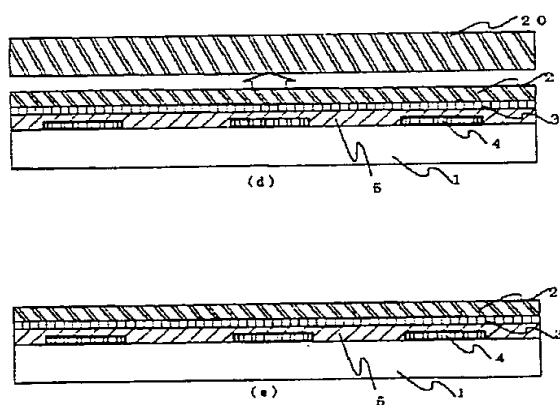
【図 5】



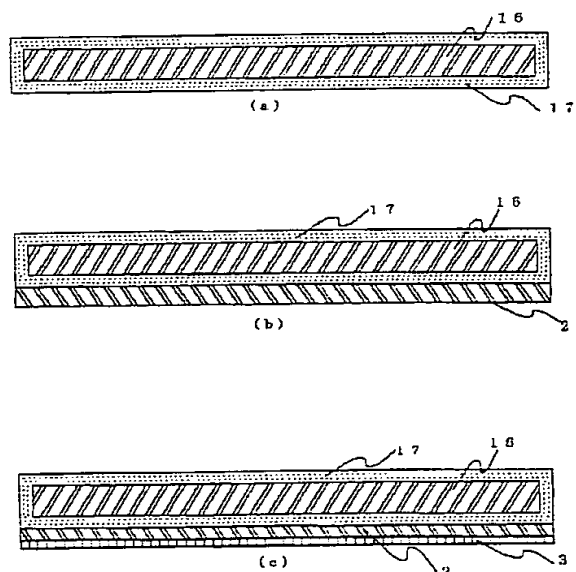
【図 6】



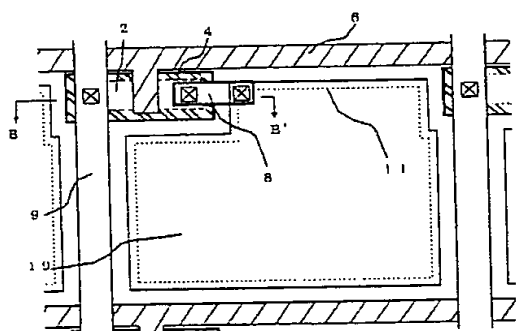
【図 7】



【図 8】



【図 12】





【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成13年12月26日(2001.12.26)

【公開番号】特開平10-293320  
【公開日】平成10年11月4日(1998.11.4)  
【年通号数】公開特許公報10-2934  
【出願番号】特願平9-104518  
【国際特許分類第7版】  
G02F 1/136 500  
【FI】  
G02F 1/136 500

【手続補正書】  
【提出日】平成13年6月25日(2001.6.25)

【手続補正1】  
【補正対象書類名】明細書  
【補正対象項目名】特許請求の範囲  
【補正方法】変更  
【補正内容】  
【特許請求の範囲】

【請求項1】透明な支持基板と、前記支持基板の一方の表面に形成された遮光層と、前記遮光層の上に設けられた絶縁体層と、前記絶縁体層の上に形成された単結晶シリコン層とを備えることを特徴とするSOI基板。

【請求項2】支持基板上に形成された遮光層が、前記遮光層上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子形成領域を覆うべくパターンニングされ、配置されたことを特徴とする請求項1記載のSOI基板。

【請求項3】支持基板上に形成された遮光層が、高融点金属もしくはその珪素化合物からなることを特徴とする請求項1または2に記載のSOI基板。

【請求項4】透明な支持基板の一方の表面に遮光層を形成する工程と、前記遮光層を、この上に絶縁体層を介して設けられた単結晶シリコン層により形成されるトランジスタ素子領域を覆うべくパターンニングする工程と、前記パターンニングされた遮光層と前記支持基板の上に絶縁体層を形成する工程と、前記絶縁体層表面を平坦化する工程と、この平坦化された絶縁体層表面に単結晶シリコン層を貼り合わせる工程とを含むことを特徴とするSOI基板の製造方法。

【請求項5】透明な支持基板の一方の表面に遮光層が形成され、前記遮光層は、この上に設けられた絶縁体層を介して形成されたトランジスタ素子領域を覆うべく配置されていることを特徴とする半導体装置。

【請求項6】前記請求項1～3記載のSOI基板と、対向電極を有する入射側の透明基板とが適当な間隔をおいて配置されるとともに、上記SOI基板と上記透明基板

との間隙内に液晶が封入されていることを特徴とする液晶パネル。

【請求項7】透明な支持基板と、前記支持基板上に形成された遮光層と、前記遮光層上に平坦化された絶縁層と、前記絶縁層上に形成された酸化層と、前記酸化層上で前記遮光層の領域上に形成されたトランジスタを構成する単結晶シリコン層を有することを特徴とする液晶パネル。

【請求項8】前記トランジスタの領域上に形成された遮光層を有することを特徴とする請求項7に記載の液晶パネル。

【請求項9】透明基板上に遮光層をパターン形成する工程と、前記遮光層上に絶縁層を形成し絶縁層の表面を平坦化する工程と、単結晶シリコン基板の一方の面に酸化層を形成する工程と、前記透明基板の絶縁層上に前記単結晶シリコン基板の酸化層を熱処理で貼り合わせる工程と、前記遮光層の領域上にトランジスタの半導体層として前記単結晶シリコンのパターンを形成する工程とを備えることを特徴とするSOI基板の製造方法。

【請求項10】前記透明基板の絶縁層上に前記単結晶シリコン基板の酸化層を熱処理で貼り合わせる工程後に、前記単結晶シリコン基板をエッチング処理し、さらに熱処理を行う工程を有することを特徴とする請求項9に記載のSOI基板の製造方法。

【請求項11】透明基板上に遮光層をパターン形成する工程と、前記遮光層上に絶縁膜を形成し絶縁層の表面を平坦化する工程と、単結晶シリコン基板の一方の面に酸化層を形成する工程と、前記単結晶シリコンの酸化層側に水素イオンの高濃度層を形成する工程と、前記透明基板の絶縁層上に前記単結晶シリコン基板の酸化層を熱処理で貼り合わせる工程と、前記単結晶シリコンの水素イオン高濃度層上の単結晶シリコン層を剥離する工程と、前記遮光層の領域上にトランジスタの半導体層として前記単結晶シリコンのパターンを形成する工程とを備えることを特徴とするSOI基板の製造方法。

【請求項12】前記単結晶シリコンの水素イオン高濃度

層上の単結晶シリコン層を剥離する工程後に、平坦化処理を行う工程を有することを特徴とする請求項 11 に記載の SOI 基板の製造方法。

【請求項 13】透明基板上に遮光層をパターン形成する工程と、前記遮光層上に絶縁膜を形成し絶縁層の表面を平坦化する工程と、シリコン基板に陽極酸化し多孔質層を形成する工程と、前記シリコン基板の多孔質層にエピタキシャル成長により単結晶シリコン層を形成する工程と、前記単結晶シリコン層に酸化層を形成する工程と、

前記透明基板の絶縁層上に前記単結晶シリコン層の酸化層を熱処理で貼り合わせる工程と、前記シリコン基板と多孔質層を除去する工程と、前記遮光層の領域上にトランジスタの半導体層として前記単結晶シリコンのパターンを形成する工程とを備えることを特徴とする SOI 基板の製造方法。

【請求項 14】前記多孔質層を除去する工程は、 $\text{HF}/\text{H}_2\text{O}_2$  のエッチング液で除去することを特徴とする請求項 13 に記載の SOI 基板の製造方法。